

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-237854
 (43)Date of publication of application : 09.09.1997

(51)Int.Cl. H01L 23/12
 H01L 23/12

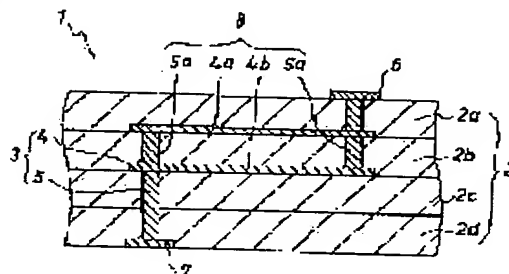
(21)Application number : 08-042625 (71)Applicant : TOSHIBA CORP
 (22)Date of filing : 29.02.1996 (72)Inventor : KUDO JUNICHI

(54) SEMICONDUCTOR PACKAGE**(57)Abstract:**

PROBLEM TO BE SOLVED: To restrain a semiconductor ceramic package from increasing in resistance and inductance keeping its inner signal wiring high in density.

SOLUTION: A semiconductor package is equipped with a multilayered ceramic board 2 composed of ceramic layers 2a, 2b, 2c, and 2d laminated into one piece and an inner signal wiring possessed of conductor elements 4 formed on the ceramic layers 2b and 2c by printing and a viahole 5 filled up with conductive material. The inner signal wiring is possessed of a parallel connected signal wire where the conductor elements 4a and 4b formed on the adjacent ceramic layers 2b and 2c are electrically connected together with a viahole 5a.

BEST AVAILABLE COPY

**LEGAL STATUS**

[Date of request for examination] 02.12.2002
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than abandonment the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application] 20.10.2004
 [Patent number]
 [Date of registration]
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-237854

(43) 公開日 平成9年(1997)9月9日

| | | | | |
|----------------------------|-------|--------|---------------|---------|
| (51) Int. Cl. ⁶ | 識別記号 | 序内整理番号 | F I | 技術表示箇所 |
| H 0 1 L 23/12 | | | H 0 1 L 23/12 | N |
| | 3 0 1 | | | 3 0 1 L |
| | | | | Q |

審査請求 未請求 請求項の数 3 O L (全 6 頁)

(21) 出願番号 特願平8-42625

(22) 出願日 平成8年(1996)2月29日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 工藤 潤一

神奈川県横浜市鶴見区末広町2の4 株式

会社東芝京浜事業所内

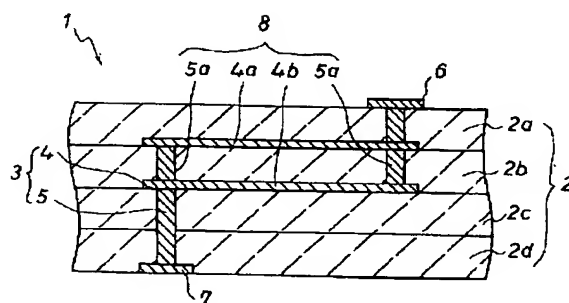
(74) 代理人 弁理士 須山 佐一

(54) 【発明の名称】 半導体用パッケージ

(57) 【要約】

【課題】 半導体用のセラミックスパッケージにおいて、内部信号配線の高密度化を図った上で、抵抗やインダクタンスの増大を抑制する。

【解決手段】 複数のセラミックス層2a、2b、2c、2dが積層一体化された多層セラミックス基板2と、セラミックス層2b、2c上に印刷形成された導体エレメント4および導電性材料が充填されたバイアホール5とを有する内部信号配線とを具備する半導体用パッケージである。内部信号配線は、隣接する少なくとも2つのセラミックス層2b、2c上にそれぞれ形成された複数の導体エレメント4a、4b間を、バイアホール5aで電氣的に接続した並列接続信号線を有している。



【特許請求の範囲】

【請求項 1】 複数のセラミックス層が積層一体化された多層セラミックス基板と、前記多層セラミックス基板のセラミックス層上に印刷形成された導体エレメントおよび導電性材料が充填されたバイアホールとを有する内部信号配線とを具備する半導体用パッケージにおいて、前記内部信号配線は、隣接する少なくとも 2つのセラミックス層上にそれぞれ形成された複数の導体エレメント間を、前記バイアホールで電氣的に接続した並列接続信号線を有することを特徴とする半導体用パッケージ。

【請求項 2】 請求項 1 記載の半導体用パッケージにおいて、前記バイアホールで接続された前記複数の導体エレメントは、同一パターンで形成されていることを特徴とする半導体用パッケージ。

【請求項 3】 請求項 1 記載の半導体用パッケージにおいて、前記バイアホールで接続された前記複数の導体エレメントに挟まれるセラミックス層の厚さは、他のセラミックス層より薄いことを特徴とする半導体用パッケージ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、セラミックス多層配線基板を用いた半導体用パッケージに関する。

【0002】

【従来の技術】高性能、高集積な LSI を搭載するパッケージには、絶縁性および放熱性に優れ、高速な信号を扱うことができ、かつ入出力端子を多端子・狭ピッチ化することが可能であること等が要求されている。このような要求特性を満足するパッケージとしてセラミックスパッケージ知られており、なかでも窒化アルミニウム製パッケージは小形化が可能な高放熱性パッケージとして期待されている。

【0003】上記したようなセラミックスパッケージは、通常、多層セラミックス基板との同時焼成により形成した内部導体層を用いて信号配線を取り回している。内部導体層は、主としてセラミックス層に設けられたスルーホールに導電性材料を充填形成したバイアホールと、セラミックス層上に印刷形成した導体エレメントとから構成されている。

【0004】このような内部導体層を同時焼成法で形成する場合には、まずセラミックスグリーンシートに所望の配線パターンに応じてスルーホールを形成し、このスルーホール内に W や Mo 等の高融点金属を含む導電性ペーストを充填すると共に、シート上にも配線パターンに応じて導電性ペーストを印刷する。このようなセラミックスグリーンシートを必要枚数重ね、一定の圧力で積層、圧着した後、脱脂およびセラミックスグリーンシートと導体ペーストとの同時焼成を行う。このようにして、パッケージ基体として用いられるセラミックス多層

配線基板が得られる。ところで、近年、半導体素子の高性能化や高集積化に伴って、1素子当りの入出力信号数は増加する傾向にある。そこで、半導体用のセラミックスパッケージには、入出力信号数の増加への対応を図るために、内部信号配線となる内部導体層の配線密度を高密度化することが求められている。さらに、半導体素子の動作周波数は、動作速度の高速化を図るために高周波化する傾向が強く、このためにセラミックスパッケージには高周波信号の伝送特性を向上させることが求められている。

【0005】

【発明が解決しようとする課題】しかしながら、上述したような同時焼成による内部導体層を信号配線として利用したセラミックスパッケージの場合、内部導体層自体の電気抵抗が比較的大きいことから、配線密度の増大を図るために配線幅を狭くすると、内部信号配線の電気抵抗がさらに増大してしまい、出力信号の電圧レベルが低下する等の問題を招いてしまう。

【0006】すなわち、配線密度を高めるために内部導体層の幅を狭くした場合、一般的には厚さも薄くなるために、内部導体層の断面積が大幅に減少してしまい、配線抵抗は急増してしまう。ここで、内部導体層の断面積を確保する方法として、内部導体層特に導体エレメントの縦横比を増大させることが考えられるが、印刷導体層の場合には単純に縦横比を増大させることは困難であり、また多層セラミックス基板の積層信頼性も低下してしまう。

【0007】さらに、動作周波数を高周波化した場合には、表皮効果等により内部信号配線の抵抗が増大することから、抵抗増大による問題が顕著となる。また、表皮効果による内部信号配線の抵抗やインダクタンスの増加は、出力信号の電圧レベルの低下のみならず、半導体素子の誤動作等の発生原因となる。

【0008】このようなことから、従来の半導体用のセラミックスパッケージにおいては、内部信号配線の高密度化を図った上で、抵抗やインダクタンスの増大を抑制することが課題とされていた。

【0009】本発明は、このような課題に対処してなされたもので、内部信号配線の高密度化を図った上で、抵抗やインダクタンスの増大を抑制することを可能にした半導体用パッケージを提供することを目的としている。

【0010】

【課題を解決するための手段】本発明の半導体用パッケージは、複数のセラミックス層が積層一体化された多層セラミックス基板と、前記多層セラミックス基板のセラミックス層上に印刷形成された導体エレメントおよび導電性材料が充填されたバイアホールとを有する内部信号配線とを具備する半導体用パッケージにおいて、前記内部信号配線は隣接する少なくとも 2つのセラミックス層上にそれぞれ形成された複数の導体エレメント間を、前

記バイアホールで電氣的に接続した並列接続信号線を有することを特徴としている。

【0011】本発明の半導体用パッケージにおいては、複数の導体エレメント間をバイアホールで並列に接続した並列接続信号線を使用している。このような並列接続信号線では、導体エレメント部分の配線抵抗が複数の導体エレメントの断面積の和によって決定されるため、1つ当たりの導体エレメントの幅を十分に狭くした上で低抵抗を実現することができる。すなわち、配線幅を高密度配線が可能なように狭くした上で、内部信号配線の配線抵抗の増大を抑制することができる。

【0012】また、上述した並列接続信号線においては、断面積が同じであるとすれば1つの導体エレメントで信号線を構成した場合に比べて導体エレメントの表面積を増大することができる。これによって、信号の高周波化に伴って表皮効果が増大した場合においても、配線抵抗の増加を抑制することが可能となる。さらに、信号配線の並列接続区間では、内部信号配線層中のビアホールが1配線当たり複数個となるため、内部配線の高密度化に悪影響を与えることなく、ビアホールによる配線抵抗やインピーダンスを低減することが可能となる。

【0013】

【発明の実施の形態】以下、本発明を実施するための形態について説明する。

【0014】図1は本発明の半導体用パッケージの一実施形態の要部構成を示す断面図であり、図2はその内部信号配線のみを示した斜視図である。

【0015】これらの図に示す半導体用パッケージ1は、絶縁層である複数のセラミックス層2a、2b、2c、2dを多層一体化した多層セラミックス基板2をパッケージ基体として有しており、この多層セラミックス基板2内には内部信号配線を構成する内部導体層3が形成されている。

【0016】多層セラミックス基板2の構成材料は特に限定されるものではなく、酸化アルミニウムのような酸化物系セラミックスから窒化アルミニウム、窒化ケイ素等の非酸化物系セラミックスまで種々のセラミックス材料を適用することができるが、特に窒化アルミニウムのように、高放熱特性を生かしてパッケージサイズの小型化が可能なセラミックス材料を使用する場合に本発明は効果的である。これは、パッケージサイズを小型化するほど高密度配線が必要となるためである。

【0017】内部導体層3は、多層セラミックス基板2のセラミックス層2b、2c上に印刷形成した導体エレメント4と、各セラミックス層2a、2b、2c、2dに設けられたスルーホール内に導電性材料を充填して形成したバイアホール5とを有している。これら導体エレメント4およびバイアホール5を有する内部導体層3は、所望の信号配線パターンに応じて形成されており、多層セラミックス基板2の表面側に形成された第1およ

び第2の入出力端子としての機能を有する電極パッド6、7間を電氣的に接続している。

【0018】第1の入出力端子としての電極パッド6は、半導体素子との電氣的な接続端子（内部用入出力端子）として機能し、第2の入出力端子としての電極パッド7上には、外部接続用端子となるピンや半田バンプ等が接合形成される。このような電極パッド6、7間の電氣的な接続経路を形成する内部導体層3は、内部信号配線として機能するものである。

【0019】上述した導体エレメント4およびバイアホール5を有する内部導体層3は、例えば多層セラミックス基板2との同時焼成により形成される。同時焼成を適用してセラミックス多層配線基板、すなわち半導体用パッケージ1を作製する場合、まず各セラミックス層2a、2b、2c、2dに対応するほぼ同等の厚さのセラミックスグリーンシートを形成し、これらセラミックスグリーンシートに内部信号配線パターンに応じてスルーホールを形成する。

【0020】次に、上記スルーホール内にWやMo等の高融点金属を主とする導体ペーストを充填すると共に、導体エレメント4および電極パッド6、7の形状に応じてセラミックスグリーンシート上に導体ペーストを印刷する。このような複数のセラミックスグリーンシートを必要枚数積層し、これを圧着した後に脱脂、焼成して、セラミックス基材と導体とを同時に焼結させる。このようにして、半導体用パッケージ1が得られる。

【0021】ここで、内部導体層3からなる内部信号配線は、1本の信号線当たり隣接する2つのセラミックス層2b、2c上にそれぞれ形成された2つの導体エレメント4a、4bを有し、これら導体エレメント4a、4b間を並列にエレメント接続用バイアホール5a、5aで接続した並列接続信号線を有している。すなわち、図1および図2に示す電極パッド6、7間を接続する信号線は、多層セラミックス基板2の積層方向に並列形成された2つの導体エレメント4a、4b間を、エレメント接続用バイアホール5a、5aで並列に接続した並列接続エレメント部8を有し、並列接続エレメント部8と通常のバイアホール5、5とで電極パッド6、7間を電氣的に接続している。

【0022】上記した並列接続エレメント部8を構成する2つの導体エレメント4a、4bは、図2に示すように、多層セラミックス基板2の積層方向に対して同一パターンで形成することが好ましい。

【0023】これは、例えば図3(a)に示すように、2つの導体エレメント4a、4bを積層方向に対して同一パターンで形成した場合、2つの導体エレメント4a、4bとグラウンド層等との間の容量Cは、これら導体エレメント4a、4bとそれぞれが近接するグラウンド層GND1、GND2との間に生じる容量C₁、C₂と、導体エレメント4a、4b間の容量C₃との合計となる

が、2つの導体エレメント4a、4bは同電位となるため、容量C₁はほぼ無視することができる。ここで、導体エレメント4aとグランド層GND2との間の容量、および導体エレメント4bとグランド層GND1との間の容量は、他方の導体エレメント(4b、4a)がシールドするため、ほとんど影響しない値となる。従って、2つの導体エレメント4a、4bを並列形成した場合においても、内部信号配線の容量Cは通常の1つの導体エレメントを用いた場合と同等となり、容量Cの増大による信号遅延の発生等を抑制することができる。

【0024】一方、図3(b)に示すように、2つの導体エレメント4a、4bを積層方向に対して異なる位置に形成した場合、導体エレメント4aとグランド層GND2との間の容量C₂、および導体エレメント4bとグランド層GND1との間の容量C₃が具体的な値を持つようになるため、容量Cの増大を招くことになる。このような構成では、場合によっては信号遅延等が問題となるおそれがある。

【0025】上述したように、内部信号配線を複数の導体エレメント4a、4b間をエレメント接続用バイアホール5a、5aで並列に接続した並列接続信号線で構成した場合、導体エレメント部分の配線抵抗は2つの導体エレメント4a、4bの断面積の和によって決定されるため、1つ当たりの導体エレメント4a、4bの幅を狭くした上で導体エレメント4の低抵抗化を実現することができる。すなわち、導体エレメント4a、4bの幅(配線幅)を高密度配線が可能のように狭くした上で、内部信号配線の配線抵抗の増大を抑制することが可能となる。また、同様に内部信号配線のインダクタンスの増大を抑制することもできる。このように、並列接続信号線により内部信号配線の高密度化と配線抵抗およびインダクタンスの低減を両立させることが可能となる。

【0026】さらに、扱う信号が高周波数になると、表皮効果により導体エレメント4の表面に電流分布が集中し、高周波信号になるほど電流分布が集中する表面からの厚みが薄くなり、抵抗が高くなる。このような信号の高周波数化による抵抗の増加に対して、上述した並列接続信号線においては、断面積が同じであるとすれば1つの導体エレメントで信号線を構成した場合に比べて導体エレメント4a、4bの表面積を増大することができる。従って、並列接続信号線によれば、表皮効果による抵抗の増大を抑制することが可能となる。

【0027】このように、内部信号配線を並列接続信号線で構成することによって、半導体用パッケージの配線抵抗やインダクタンス、特に高周波信号を扱う場合の配線抵抗やインダクタンスを低減することが可能となるため、出力信号の電圧レベルの低下等が抑制できると共に、高周波信号の減衰、同時スイッチングノイズのような高周波信号に伴うノイズ等を抑制することができる。従って、これら信号の減衰やノイズ等に起因する誤動作

を抑制することが可能となるため、例えば高速動作型の半導体素子を安定に動作させることができる。さらに、並列接続信号線とすることで、信号線の信頼性を高めることも可能となる。

【0028】なお、図1および図2は、内部信号配線の一部のみを図示したものであり、内部信号配線の全てを並列接続信号線で構成しなければならないものではなく、信号配線の取回しパターン等に応じて、通常の信号線と適宜組合せて使用することができる。

10 【0029】上述した実施形態の半導体用パッケージは、多層セラミックス多層基板2の表面側に形成された電極パッド6、7上にNi/Auめっき等を施した後、第2の入出力端子としての電極パッド7上へのピンや半田バンプ等の外部接続用端子の形成、半導体素子の接合搭載、半導体素子の電極と電極パッド6との電気的な接続(フリップチップの場合には搭載時に接続)、セラミックス製キャップ等による半導体素子の気密封止等を経て、PGAパッケージやBGAパッケージ等として使用される。

20 【0030】次に、本発明の第2の実施形態について図4を参照して説明する。図4に示す半導体用パッケージ11は、基本的な構成要素は図1および図2に示した半導体用パッケージ1と同様であるが、並列形成された2つの導体エレメント4a、4bに挟まれるセラミックス層、すなわち導体エレメント4aの形成層となるセラミックス層2bの厚さを、他のセラミックス層2a、2c、2dの厚さより薄くしている。これは、2つの導体エレメント4a、4bは基本的に同電位となるために、その間に存在するセラミックス層2bは薄くすることができると共に、導体エレメント4a、4bの厚さが薄い

30 ために、セラミックス層2bを薄くしても多層セラミックス基板2の信頼性を確保できるためである。

【0031】このように、2つの導体エレメント4a、4bに挟まれるセラミックス層2bの厚さを薄くすることによって、多層セラミックス基板2すなわち半導体用パッケージ1の厚さの増大を抑制することができる。

40 【0032】次に、本発明の第3の実施形態について図5を参照して説明する。図5に示す半導体用パッケージ21は、1本の信号線当たり隣接する3つのセラミックス層2b、2c、2d上にそれぞれ積層方向に並列形成された3つの導体エレメント4a、4b、4c間を、エレメント接続用バイアホール5aで並列に接続した並列接続エレメント部8を並列接続信号線で内部信号配線を構成している。また、並列形成された3つの導体エレメント4a、4b、4cに挟まれる2つのセラミックス層2b、2cの厚さは、他のセラミックス層2a、2d、2eの厚さより薄くしている。なお、それ以外の構成要素は図1および図2に示した半導体用パッケージ1と同様とされている。

50 【0033】このように、並列接続信号線は3つ以上の

7

導体エレメント4a、4b、4c間をエレメント接続用ビアホール5aで並列に接続して構成することもできる。このような構成とすることによって、より一層配線抵抗等の低減を図ることができる。

【0034】

【発明の効果】以上説明したように、本発明の半導体用パッケージによれば、内部信号配線の高密度化を図った上で、抵抗やインダクタンスの増大を抑制することができる。従って、パッケージサイズを小形化した上で、入出力信号数の増加等への対応を図った半導体用パッケージを提供することが可能となる。

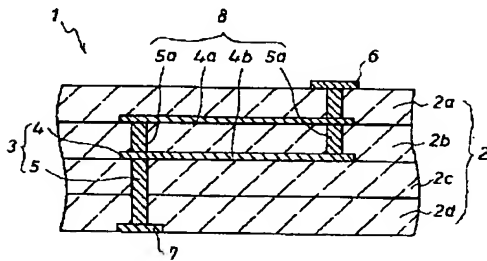
【図面の簡単な説明】

【図1】 本発明の第1の実施形態による半導体用パッケージの要部構成を示す断面図である。

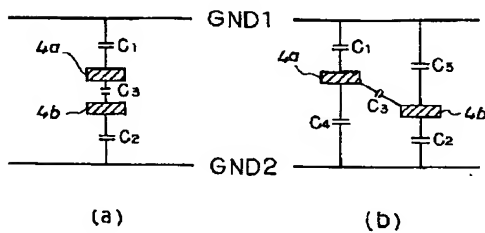
【図2】 図1に示す半導体用パッケージの内部信号配線のみ示す斜視図である。

【図3】 本発明の半導体用パッケージにおける並列形*

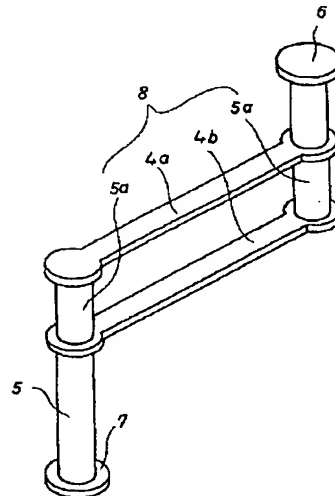
【図1】



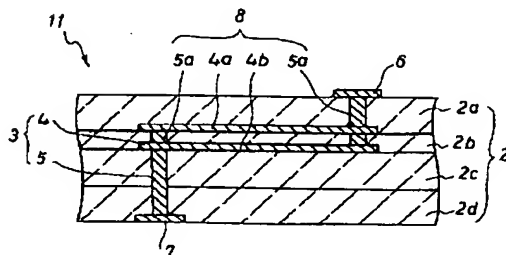
【図3】



【図2】



【図4】



8

* 成された 2の導体エレメントの形成パターンと配線容量との関係を説明するための図である。

【図4】 本発明の第2の実施形態による半導体用パッケージの要部構成を示す断面図である。

【図5】 本発明の第3の実施形態による半導体用パッケージの要部構成を示す断面図である。

【符号の説明】

1、11、21……半導体用パッケージ

2……多層セラミックス基板

10 2a、2b、2c、2d……セラミックス層

3……内部導体層

4……導体エレメント

4a、4b……並列形成された導体エレメント

5……ビアホール

5a……エレメント接続用ビアホール

8……並列接続エレメント部

(6)

特開平9-237854

【図5】

